

Family list
2 family member for:
JP6318691
Derived from 1 application.

1 MANUFACTURE OF SOLID-STATE IMAGE PICKUP ELEMENT

Publication info: **JP2697554B2** B2 - 1998-01-14
JP6318691 A - 1994-11-15

Data supplied from the **esp@cenet** database - Worldwide

【特許請求の範囲】

【請求項1】 第1導電型半導体基板上に、形成すべき第1の電荷転送領域上に開口を有する第1のマスク材を形成する第1の工程と、第1のマスク材をマスクに第2導電型不純物をイオン注入して第1の第2導電型半導体領域を形成する第2の工程と、前記第1のマスク材をマスクとして第2のマスク材を形成する第3の工程と、前記第1のマスク材を除去し、形成すべき第2の電荷転送領域上に開口を有する第3のマスク材を形成する第4の工程と、前記第2のマスク材および前記第3のマスク材をマスクに第2導電型不純物をイオン注入して第2の第2導電型半導体領域を形成する第5の工程と、を有することを特徴とする固体撮像素子の製造方法。

【請求項2】 前記第2の工程の後に前記第1のマスク材をマスクに第1導電型不純物をイオン注入して前記第1の第2導電型半導体領域の表面領域内に第1の第1導電型半導体領域を形成する工程が付加され、前記第5の工程の後に前記第2のマスク材および前記第3のマスク材をマスクに第1導電型不純物をイオン注入して前記第2の第2導電型半導体領域の表面領域内に第2の第1導電型半導体領域を形成する工程が付加されていることを特徴とする請求項1記載の固体撮像素子の製造方法。

【請求項3】 前記第2の工程において、イオン注入が第2の第1導電型半導体領域の形成される側の第1のマスク材に影が生じるように斜め方向から行われることを特徴とする請求項1記載の固体撮像素子の製造方法。

【請求項4】 前記第2の工程の後の追加工程において、イオン注入が第2の第1導電型半導体領域の形成される側の第1のマスク材に影が生じるように斜め方向から行われることを特徴とする請求項2記載の固体撮像素子の製造方法。

【請求項5】 前記第1および第3のマスク材がフォトレジストにより構成され、前記第2のマスク材が液相成長法により形成されたシリコン酸化膜により構成されていることを特徴とする請求項1または2記載の固体撮像素子の製造方法。

【請求項6】 前記第1のマスク材が絶縁膜により構成され、前記第2のマスク材が選択CVD法により形成された金属膜により構成され、前記第3のマスク材がフォトレジスト膜により構成されていることを特徴とする請求項1または2記載の固体撮像素子の製造方法。

【請求項7】 前記金属膜が、タングステン膜、モリブデン膜またはアルミニウム膜により構成されていることを特徴とする請求項6記載の固体撮像素子の製造方法。

【請求項8】 前記第1、第2および第3のマスク材が、半導体基板上に形成された導電性膜上に設けられることを特徴とする請求項6記載の固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、互いに異なる接合深さの垂直電荷転送領域と水平電荷転送領域を有するCCD型固体撮像素子の製造方法に関する。

【0002】

【従来の技術】 近年、固体撮像素子では、HDTVシステムに対応するための高画素化あるいはムービーシステムに対応するための高画素化、小型化が進んでおりそれにつれて垂直電荷転送領域の面積が縮小されて面積当たりの電荷転送量が増加しており、また水平電荷転送部では転送の一層の高速化が要求されるようになってきている。従来、例えば埋め込みチャネル型CCDを用いた固体撮像素子では、垂直電荷転送領域を構成するn型半導体領域のp型ウェル層との接合の深さを浅くして単位面積当たりの電荷転送能力を向上させ、一方、水平電荷転送部では、高速転送による転送効率低下に対処して、垂直転送部とは逆に、水平電荷転送領域を構成するn型半導体領域のp型ウェル層との接合の深さ深くして、フリンジ電界強度を強め上記要求に応えてきた。すなわち、高画素化した2次元固体撮像素子では、水平電荷転送領域と垂直電荷転送領域とは互いに異なる接合深さを持つ領域として形成されていた。

【0003】 図4は、CCD型2次元固体撮像素子の平面図であって、同図に示される固体撮像素子において、入射光は、マトリックス状に配置された光電変換部41にて光電変換される。光電変換部41にて生成された信号電荷は、垂直転送部42に読み出され該垂直転送部を介して水平転送部43に転送され、該水平転送部を経て出力回路部44に転送され、出力信号として取り出される。

【0004】 図5の(a)～(c)は、固体撮像素子の垂直転送部と水平転送部およびその接続部の従来の製造方法を示す工程断面図であって、図4のA-A'線、B-B'線の断面における工程を示すものである。まず、n型半導体基板501上に膜厚約20nmのシリコン酸化膜502を形成し、フォトリソグラフィ技法を用いて膜厚約3.5μmのフォトレジスト膜520aを形成し、これをマスクにボロン(B)を、入射角:0°、加速エネルギー:600keV、ドーズ量:7.0×10¹¹cm⁻²の条件でイオン注入して、水平転送部用の第1のp型ウェル層506を形成する[図5の(a)]。

【0005】 フォトレジスト膜520aを剥離、除去した後、再びフォトリソグラフィ技法を用いて膜厚約2.0μmのフォトレジスト膜520bを形成し、これをマスクにリン(P)を、入射角:0°、加速エネルギー:250keV、ドーズ量:2.0×10¹²cm⁻²の条件でイオン注入して、水平転送部となる第1のn型半導体領域507を形成する[図5の(b)]。

【0006】 フォトレジスト膜520bを除去した後、新たにフォトリソグラフィ技法を適用して、少なくとも50形成すべき第2のp型ウェル層部分に開口を有する、膜

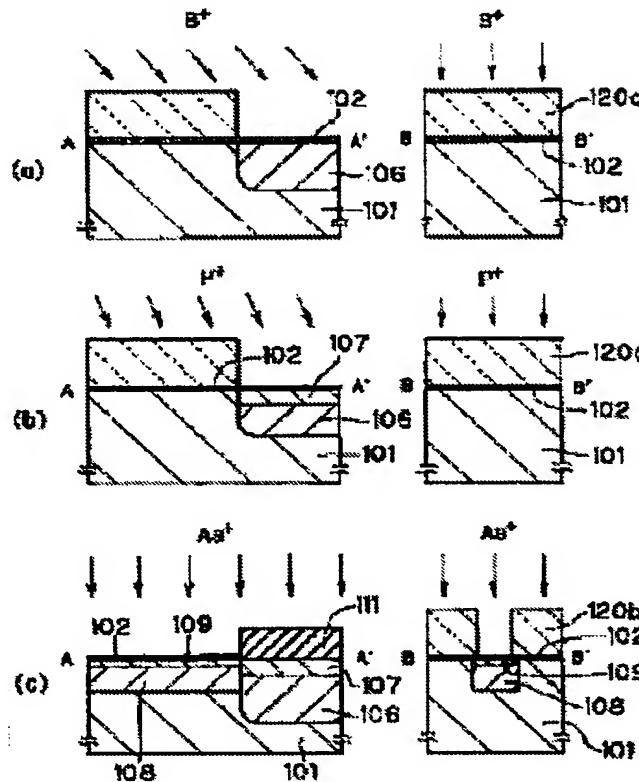
MANUFACTURE OF SOLID-STATE IMAGE PICKUP ELEMENT

Patent number: JP6318691
 Publication date: 1994-11-15
 Inventor: NAKASHIBA YASUTAKA
 Applicant: NIPPON ELECTRIC CO
 Classification:
 - International: H01L27/148; H01L21/265; H01L21/266
 - European:
 Application number: JP19930112211 19930415
 Priority number(s): JP19930112211 19930415

Abstract of JP6318691

PURPOSE: To prevent a potential well and a potential barrier from being generated in a charge transfer region due to the excess of an overlap and the shortage of the overlap between a diffused region in a vertical transfer part and a diffused region in a horizontal transfer part by a method wherein the diffused region in the vertical transfer part is formed in self-alignment with the diffused region in the horizontal transfer part.

CONSTITUTION: A photoresist film 120a provided with an opening having the shape of a well layer for a horizontal transfer part is formed, tons are implanted, and a first p-well 106 is formed (Fig. a). Tons are implanted by making use of the film 120a as a mask, and a first n-type semiconductor region 107 which constitutes a horizontal charge transfer region is formed (Fig. b). An oxide film 111 is grown selectively by a liquid phase method by making use of the film 120a as a mask, and a photoresist film 120b provided with an opening on a vertical transfer part is formed. B and As ions are implanted by making use of the films 111, 120b as masks, and a second p-well 108 and a second n-type semiconductor region 109 used as a vertical charge transfer region are formed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318691

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl. ⁵ H 01 L 27/148 21/265 21/266	識別記号 7210-4M 8617-4M	序内整理番号 F I	技術表示箇所 B V
審査請求 有 請求項の数 8 FD (全 8 頁) 最終頁に続く			

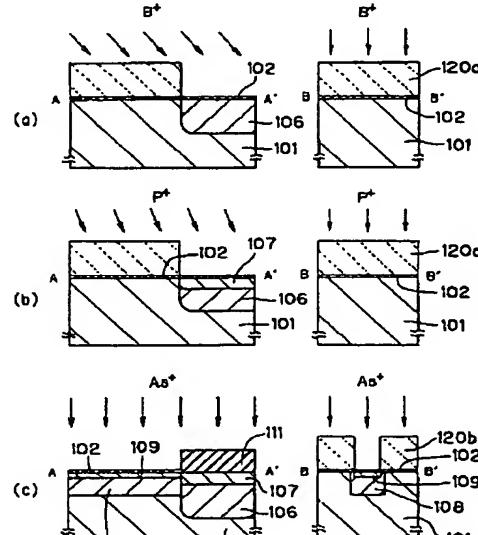
(21)出願番号 特願平5-112211	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成5年(1993)4月15日	(72)発明者 中榮 康▲隆▼ 東京都港区芝五丁目7番1号 日本電気株式会社内
	(74)代理人 弁理士 尾身 邦助

(54)【発明の名称】 固体撮像素子の製造方法

(57)【要約】

【目的】 垂直転送部の拡散領域を水平転送部の拡散領域に対して自己整合的に形成しうるようにして、これらの領域間の重なり過ぎや重なり不足に起因する、電荷転送領域における電位井戸や電位障壁の発生を防止する。

【構成】 水平転送部用のウェル層の形状の開口を有するフォトレジスト膜120aを形成し、イオン注入して第1pウェル106を形成する(a図)。120aをマスクにイオン注入して水平電荷転送領域を構成する第1n型半導体領域107を形成する(b図)。120aをマスクに液相法により選択的に酸化膜111を成長させ、垂直転送部上に開口を有するフォトレジスト膜120bを形成する。111、120bをマスクにB、Asをイオン注入して第2pウェル108、垂直電荷転送領域となる第2n型半導体領域109を形成する(c図)。



101-0型半導体基板 106-第2のp型ウェル層
102-シリコン酸化膜 109-第2のn型半導体領域
106-第1のp型ウェル層 107-第1のn型半導体領域 111-シリコン酸化膜
107-第1のn型半導体領域 120a, 120b-フォトレジスト膜

厚約 $2.0\mu\text{m}$ のフォトレジスト膜520cを形成し、これをマスクとしてボロンを、入射角:0°、加速エネルギー:200keV、ドーズ量: $2.0 \times 10^{12}\text{cm}^{-2}$ の条件でイオン注入して、垂直転送部用の第2のp型ウェル層508を形成する。続いて、再びフォトレジスト膜520cをマスクとして砒素(A₃S)を、入射角:0°、加速エネルギー:150keV、ドーズ量: $3.0 \times 10^{12}\text{cm}^{-2}$ の条件でイオン注入して、垂直転送部となる第2のn型半導体領域509を形成する【図5の(c)】。

【0007】しかる後、フォトレジスト膜520cを除去し、シリコン酸化膜502をウェットエッティング法にて除去する。その後、周知の技術を適用して光電変換部、電荷転送電極、遮光膜および配線用の金属膜を形成して、従来法による固体撮像素子の製造を完了する。

【0008】

【発明が解決しようとする課題】上述した従来法により製造した固体撮像素子では、水平転送部におけるp型ウェル層およびn型半導体領域と、垂直転送部におけるp型ウェル層およびn型半導体領域とは、それぞれ別個のフォトリソグラフィ工程により形成されたマスクを用いて形成されるため、フォトリソグラフィ工程における位置合わせに誤差が生じやすく、水平転送部と垂直転送部との接続部を制御性よく形成することが困難であった。すなわち、垂直転送部用のp型ウェル層508と水平転送部用のp型ウェル層506との重なり量が少ないかあるいは離れて形成された場合には、図6の(a)に示すように、垂直電荷転送領域(第2のn型半導体領域509)と水平電荷転送領域(第1のn型半導体領域507)との間に深いポテンシャル井戸が形成され、逆に、垂直転送部用のp型ウェル層508と水平転送部用のp型ウェル層506との重なり量が大きくなつた場合には、図6の(b)に示すように、垂直電荷転送領域(509)と水平電荷転送領域(507)との間にポテンシャル壁が形成され、いずれの場合においても垂直転送部から水平転送部へのスムーズな電荷転送が阻害される。

【0009】よって、本発明の目的とするところは、垂直電荷転送領域と水平電荷転送領域との接合深さを異ならしめるものにおいて、垂直転送部用の電荷転送領域あるいはウェル層が水平転送部用の電荷転送領域あるいはウェル層に自己整合される製法を提供することであり、このことにより両ウェル層のマスク目合わせずによる電荷転送領域におけるポテンシャル井戸、ポテンシャル壁の発生を防止し、もって、信号電荷の転送効率の低下を抑制することである。

【0010】

【課題を解決するための手段】本発明の固体撮像素子の製造方法は、第1導電型(n型)半導体基板(101、201、301)上に、形成すべき第1の電荷転送領域

上に開口を有する第1のマスク材(120a、204、304)を形成する第1の工程と、第1のマスク材をマスクに第2導電型(p型)不純物をイオン注入して第1の第2導電型半導体領域(106、206、306)を形成する第2の工程と、前記第1のマスク材をマスクとして第2のマスク材(111、211、311)を形成する第3の工程と、前記第1のマスク材を除去し、形成すべき第2の電荷転送領域上に開口を有する第3のマスク材(120b、220b、320b)を形成する第4の工程と、前記第2のマスク材および前記第3のマスク材をマスクに第2導電型不純物をイオン注入して第2の第2導電型半導体領域(108、208、308)を形成する第5の工程と、を有するものである。

【0011】また、上記製造方法について、前記第2の工程の後に前記第1のマスク材(120a、204、304)をマスクに第1導電型不純物をイオン注入して前記第1の第2導電型半導体領域(106、206、306)の表面領域内に第1の第1導電型半導体領域(107、207、307)を形成する工程を付加し、前記第5の工程の後に前記第2のマスク材(111、211、311)および前記第3のマスク材(120b、220b、320b)をマスクに第1導電型不純物をイオン注入して前記第2の第2導電型半導体領域(108、208、308)の表面領域内に第2の第1導電型半導体領域(109、209、309)を形成する工程を付加することができる。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1の(a)～(c)は、図4のA-A'線とB-B'線に沿った断面における、本発明の第1の実施例の主な製造工程段階を示す工程断面図である。まず、n型半導体基板101上に膜厚約 20nm のシリコン酸化膜102を形成し、フォトリソグラフィ技法を用いて膜厚約 $3.5\mu\text{m}$ のフォトレジスト膜120aを形成し、これをマスクにボロン(B)を、入射角:9°、加速エネルギー:600keV、ドーズ量: $7.0 \times 10^{11}\text{cm}^{-2}$ の条件でイオン注入して、水平転送部用の第1のp型ウェル層106を形成する【図1の(a)】。ここで、ボロンのイオン注入を傾けて行っているのは、横方向拡散により垂直転送部のp型ウェル層との重なりが深くなりそのため電荷転送領域にポテンシャル壁が形成されるのを防ぐためである。

【0013】続いて、再びフォトレジスト膜120aをマスクとしてリン(P)を、入射角:4°、加速エネルギー:250keV、ドーズ量: $2.0 \times 10^{12}\text{cm}^{-2}$ の条件でイオン注入して、水平転送部となる第1のn型半導体領域107を形成する【図1の(b)】。ここで、リンのイオン注入を傾けて行っているのは、横方向拡散により垂直転送部のn型半導体領域との接合部分に高密度領域が形成されそのために電荷転送領域にボアン

5

シャル井戸が形成されるのを防ぐためである。

【0014】次に、フォトレジスト膜120aをマスクとして液相成長法により膜厚約 $1\text{ }\mu\text{m}$ のシリコン酸化膜111を選択的に成長させる。シリコン酸化膜の液相成長法による選択成長は、 SiO_2 を H_2SiF_6 溶液に溶解させて得た SiO_2 の飽和水溶液に、 H_3BO_3 溶液を添加してなる SiO_2 の過飽和水溶液に基板を浸漬することによって行う。その後、フォトレジスト膜120aを除去し、形成すべき垂直転送部用のp型ウェル層部分に開口を有する、膜厚約 $2.0\text{ }\mu\text{m}$ のフォトレジスト膜120bを形成し、これとシリコン酸化膜111をマスクとしてボロンを、入射角： 0° 、加速エネルギー： 200 keV 、ドーズ量： $2.0 \times 10^{12}\text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部用の第2のp型ウェル層108を形成する。

【0015】続いて、再びフォトレジスト膜120bおよびシリコン酸化膜111をマスクとして砒素(A_s)を、入射角： 0° 、加速エネルギー： 150 keV 、ドーズ量： $3.0 \times 10^{12}\text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部を構成する第2のn型半導体領域109を形成する【図1の(c)】。

【0016】しかる後、フォトレジスト膜120bを除去し、シリコン酸化膜102、111をウェットエッチング法により除去する。その後、周知の技術を適用して光電変換部、電荷転送電極、遮光膜および配線用の金属膜を形成して、本発明の第1の実施例による固体撮像素子の製造を完了する。

【0017】上記製造方法により形成された固体撮像素子では、垂直転送部の第2のp型ウェル層108と第2のn型半導体領域109の端部が、水平転送部の第1のp型ウェル層106と第1のn型半導体領域107の側面に自己整合されているため、これらの各領域を、マスク自合わせずによる領域間の重なり過ぎやオフセットの発生を防止して、制御性よく形成することができる。従って、垂直電荷転送領域から水平電荷転送領域にかけてポテンシャル井戸やポテンシャル障壁が発生するのを抑制することができ、電荷転送効率の低下を防止することができる。なお、図1の(a)、(b)に示すイオン注入工程において、イオン入射角は、両電荷転送領域の接合部にポテンシャル井戸やポテンシャル障壁の生じさせない値に設定される。

【0018】図2の(a)～(c)は、本発明の第2の実施例の主な製造工程における、図4のA-A'線とB-B'線に沿った断面図を示したものである。まず、n型半導体基板201上に、膜厚約 20 nm のシリコン酸化膜202、膜厚約 40 nm の多結晶シリコン膜203、膜厚約 $2\text{ }\mu\text{m}$ のシリコン酸化膜204を順に成長させた後、フォトリソグラフィ法およびプラズマエッチング法を適用して水平転送部が形成されるべき領域上のシリコン酸化膜204を選択的に除去する。

6

【0019】残されたシリコン酸化膜204をマスクにボロン(B)を、入射角： 15° 、加速エネルギー： 600 keV 、ドーズ量： $7.0 \times 10^{11}\text{ cm}^{-2}$ の条件でイオン注入して、水平転送部用の第1のp型ウェル層206を形成する【図2の(a)】。続いて、再びシリコン酸化膜204をマスクとしてリン(P)を、入射角： 6° 、加速エネルギー： 250 keV 、ドーズ量： $2.0 \times 10^{12}\text{ cm}^{-2}$ の条件でイオン注入して、水平転送部となる第1のn型半導体領域207を形成する【図2の(b)】。

【0020】次に、シリコン酸化膜204をマスクとして選択CVD法により膜厚約 $0.6\text{ }\mu\text{m}$ のタンゲステン膜211を選択的に成長させる。タンゲステンの選択CVDは、 WF_6 を原料ソース、 SiH_4 を還元ガスとして用いる場合、反応室温度 $180\text{ }^\circ\text{C}$ ～ $250\text{ }^\circ\text{C}$ 、圧力 $20\text{ }^\circ\text{C}$ ～ 100 mTorr の条件で行う。その後、シリコン酸化膜204をエッチング除去し、続いて形成すべき垂直転送部用のp型ウェル層部分に開口を有する、膜厚約 $2.0\text{ }\mu\text{m}$ のフォトレジスト膜220bを形成し、これとタンゲステン膜211をマスクとしてボロンを、入射角： 0° 、加速エネルギー： 200 keV 、ドーズ量： $2.0 \times 10^{12}\text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部用の第2のp型ウェル層208を形成する。

【0021】続いて、再びフォトレジスト膜220bおよびタンゲステン膜211をマスクとして砒素(A_s)を、入射角： 0° 、加速エネルギー： 150 keV 、ドーズ量： $3.0 \times 10^{12}\text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部となる第2のn型半導体領域209を形成する【図2の(c)】。

【0022】次に、フォトレジスト膜220bを除去し、続いてタンゲステン膜211を H_2O_2 液を用いたウェットエッチング法にて除去する。その後、周知の技術を適用して光電変換部、電荷転送電極、遮光膜および配線用の金属膜を形成して、本発明の第2の実施例による固体撮像素子の製造を完了する。

【0023】図3の(a)～(c)は、図4のA-A'線とB-B'線に沿った断面における、本発明の第3の実施例の主な製造工程段階を示す工程断面図である。第3の実施例は、図3の(b)に示す状態となるまでの工程は、図2の(a)、(b)に示す第2の実施例の場合と同様であるので、図2の部分に対応する部分には図3において下2桁が共通する記号を付し、重複する説明は省略する。

【0024】図3の(b)に示す工程段階が終了した後、シリコン酸化膜304をマスクとして選択CVD法により膜厚約 $0.7\text{ }\mu\text{m}$ のアルミニウム膜311を選択的に成長させ、シリコン酸化膜304をエッチング除去する。その後、形成すべき垂直転送部用のp型ウェル層部分に開口を有する、膜厚約 $2.0\text{ }\mu\text{m}$ のフォトレジスト膜320bを形成し、これとアルミニウム膜311を

マスクとしてボロンを、入射角: 0° 、加速エネルギー: 200 keV 、ドーズ量: $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部用の第2のp型ウェル層308を形成する。

【0025】続いて、再びフォトレジスト膜320bおよびアルミニウム膜311をマスクとして砒素(A₃S)を、入射角: 0° 、加速エネルギー: 150 keV 、ドーズ量: $3.0 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入して、垂直転送部を構成する第2のn型半導体領域309を形成する【図2の(c)】。

【0026】次に、フォトレジスト膜320bを除去し、続いてアルミニウム膜311を磷酸を用いたウェットエッティング法にて除去する。その後、周知の製造技術を適用して光電変換部、電荷転送電極、遮光膜および配線用の金属膜を形成して、本発明の第3の実施例による固体撮像素子の製造を完了する。

【0027】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく各種の変更が可能である。例えば、実施例において埋め込みチャネル型であった電荷結合素子を表面チャネル型のものに変更することができ、また、シリコン酸化膜204に代えシリコン空化膜を用いることができ、さらに、選択CVD法によって成膜する金属膜としてモリブデン等の金属材料を使用することができる。また、実施例での説明に用いられた数値例は限定的に解されるべきものではない。

【0028】

【発明の効果】以上説明したように、本発明による固体撮像素子の製造方法は、水平転送部の第1のp型ウェル層（および第1のn型半導体領域）を形成するときに用いたマスク材をマスクとして垂直転送部の第2のp型ウェル層（および第2のn型半導体領域）を形成する際のマスク材を形成するものであるので、本発明によれば、垂直転送部の各領域を、水平転送部の各領域に対し自己整合されたものとして形成することができる。従って、本発明によれば、マスク目合わせずれによって発生する

これらの領域間に重なり過ぎや重なり不足乃至オフセット状態の発生するのを防止することができ、垂直電荷転送領域から水平電荷転送領域にかけてポテンシャル井戸やポテンシャル障壁が発生するのを防止して電荷転送効率の低下を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明するための工程断面図。

【図2】 本発明の第2の実施例を説明するための工程断面図。

【図3】 本発明の第3の実施例を説明するための工程断面図。

【図4】 固体撮像素子の概略平面図。

【図5】 従来例を説明するための工程断面図。

【図6】 従来例の問題点を説明するための断面図。

【符号の説明】

4 1 光電変換部

4 2 垂直転送部

4 3 水平転送部

20 4 4 出力回路部

101、201、301、501 n型半導体基板

102、202、302、502 シリコン酸化膜

203、303 多結晶シリコン膜

204、304 シリコン酸化膜

106、206、306、506 第1のp型ウェル層

107、207、307、507 第1のn型半導体領域

108、208、308、508 第2のp型ウェル層

109、209、309、509 第2のn型半導体領域

30 111 シリコン酸化膜

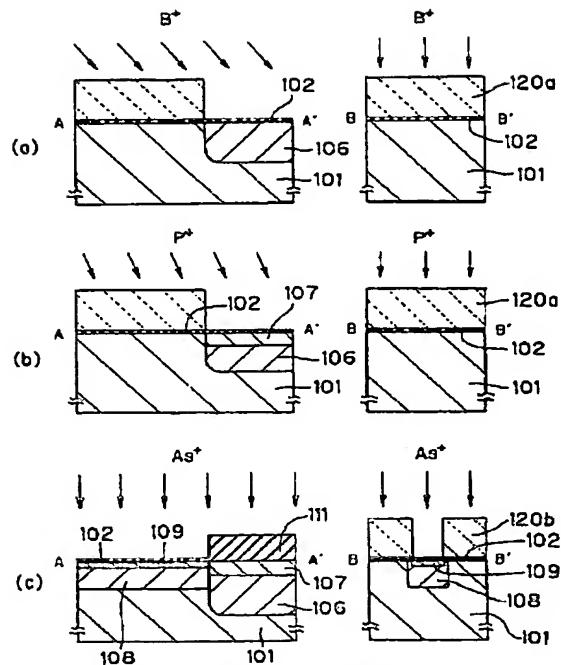
211 タングステン膜

311 アルミニウム膜

120a、120b、220b、320b、520a、

520b、520c フォトレジスト膜

【図1】



101…n型半導体基板

102…シリコン酸化膜

106…第1のp型ウェル層

107…第1のn型半導体領域

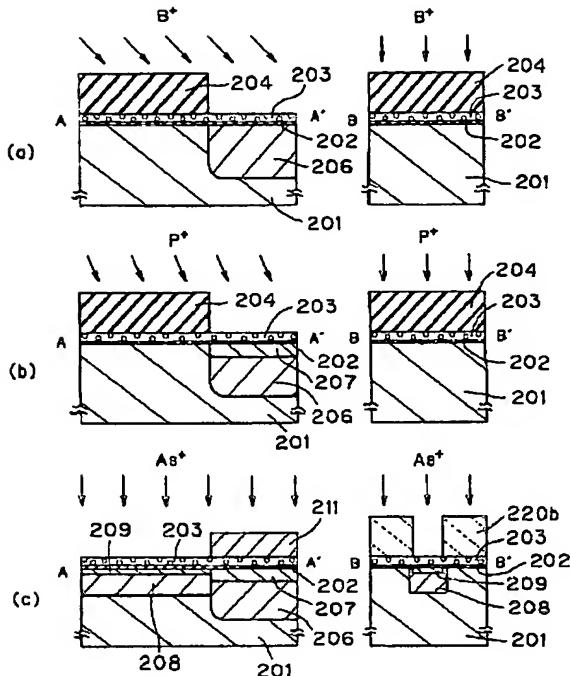
108…第2のp型ウェル層

109…第2のn型半導体領域

111…シリコン酸化膜

120a, 120b…フォトレジスト膜

【図2】



201…n型半導体基板

202…シリコン酸化膜

203…多結晶シリコン膜

204…シリコン酸化膜

206…第1のp型ウェル層

207…第1のn型半導体領域

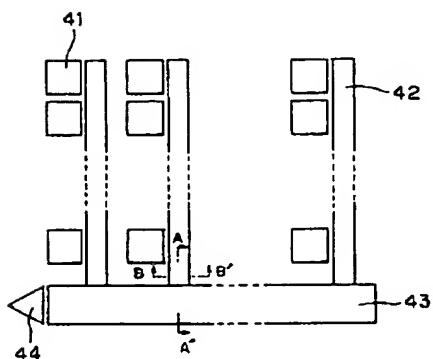
208…第2のp型ウェル層

209…第2のn型半導体領域

211…タンゲステン膜

220b…フォトレジスト膜

【図4】



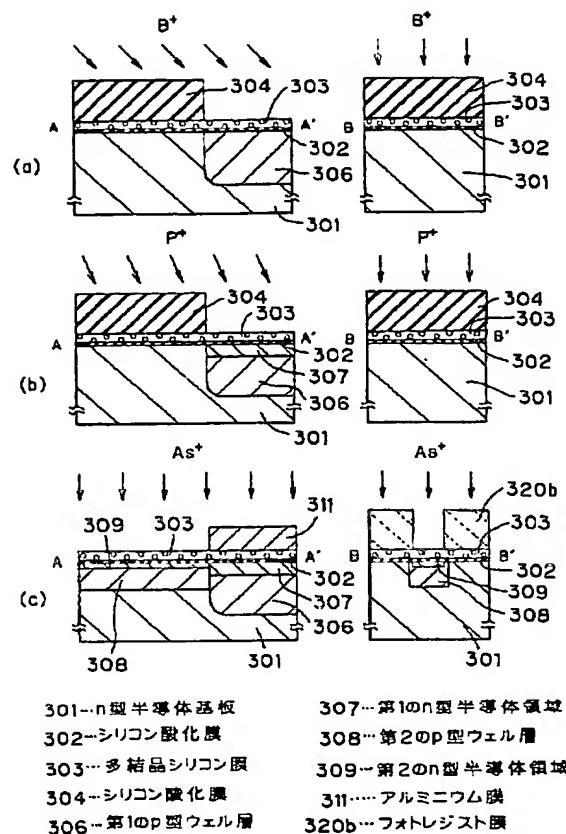
41…光電変換部

42…垂直輸送部

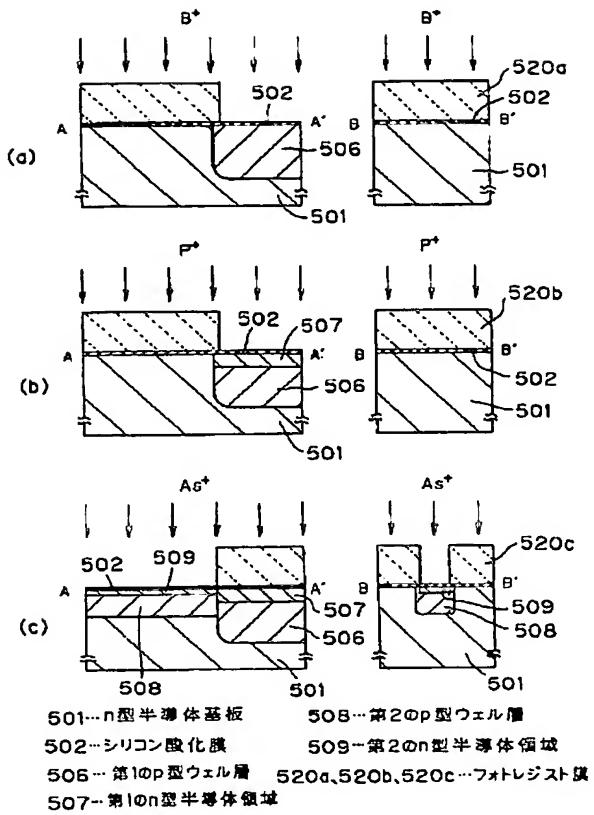
43…水平輸送部

44…出力回路部

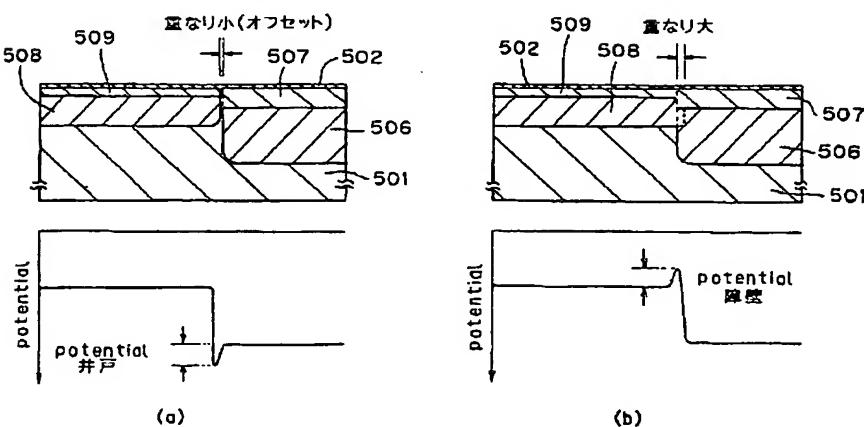
【図3】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 5

識別記号

序内整理番号

8617-4M

F I

H 0 1 L 21/265

技術表示箇所

M